

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-167424

(43)Date of publication of application : 02.07.1993

(51)Int.Cl.

H03K 19/0175

H03K 17/16

H03K 17/687

(21)Application number : 03-350448

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 11.12.1991

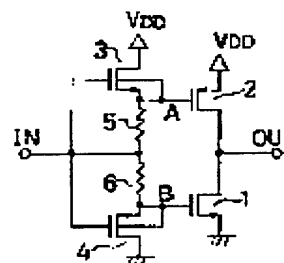
(72)Inventor : YAMAGOSHI YUKIO

## (54) OUTPUT BUFFER CIRCUIT

### (57)Abstract:

**PURPOSE:** To provide the output buffer circuit for a logic circuit reducing a through-current of a CMOS output circuit so as to prevent power malfunction.

**CONSTITUTION:** The output buffer circuit is made up of a CMOS output circuit in which a drain of a P-channel MOS transistor(TR) 2 and a drain of an N-channel MOS TR1 are connected in common to use the connecting point as an output terminal and a source of the P-channel MOS TR 2 and a source of the N-channel MOS TR 1 are connected to ground, a P-channel MOS TR 4 whose drain connects to ground, whose gate connects to an input terminal, whose source connects to a gate of the N-channel MOS TR 1 and whose back gate connects to the source, an N-channel MOS TR 3 whose drain connects to a power supply, whose gate connects to the input terminal, whose source connects to a gate of the P-channel MOS TR 2 and whose back gate connects to the source, a resistor 5 connecting between the input terminal and the gate of the P-channel MOS TR 2, and a resistor 6 connected between the input terminal and the gate of the N-channel MOS TR 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-167424

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
17/16	L	9184-5 J		
17/687		6959-5 J	H 0 3 K 19/ 00	1 0 1 F
		8221-5 J	17/ 687	F
審査請求 未請求 請求項の数 1 (全 4 頁)				

(21)出願番号 特願平3-350448

(22)出願日 平成3年(1991)12月11日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 山腰 由紀夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

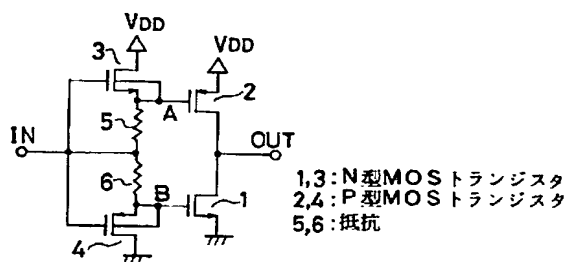
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 出力バッファ回路

(57)【要約】

【目的】 CMOS出力回路の貫通電流を低減し誤動作を防止できるようにした論理回路の出力バッファ回路を提供する。

【構成】 P型MOSトランジスタ2のドレインとN型MOSトランジスタ1のドレインを共通接続して出力端子とし、P型MOSトランジスタ2のソースを電源に、N型MOSトランジスタ1のソースをグランドに接続したCMOS出力回路と、ドレインをグランドにゲートを入力端子にソースをN型MOSトランジスタ1のゲートにバックゲートをソースに接続したP型MOSトランジスタ4と、ドレインを電源にゲートを入力端子にソースをP型MOSトランジスタ2のゲートにバックゲートをソースに接続したN型MOSトランジスタ3と、入力端子とP型MOSトランジスタ2のゲート間に接続された抵抗5と、入力端子とN型MOSトランジスタ1のゲート間に接続された抵抗6とで出力バッファ回路を構成する。



## 【特許請求の範囲】

【請求項1】 第1のP型MOSトランジスタのドレインと第1のN型MOSトランジスタのドレインを共通接続して出力端子とし、前記P型MOSトランジスタのソースを電源に、前記N型MOSトランジスタのソースをグラウンドに接続したCMOS出力回路と、ドレインをグラウンドにゲートを入力端子にソースを前記CMOS出力回路のN型MOSトランジスタのゲートにバックゲートをソースにそれぞれ接続した第2のP型MOSトランジスタと、ドレインを電源にゲートを入力端子にソースを前記CMOS出力回路のP型MOSトランジスタのゲートにバックゲートをソースにそれぞれ接続した第2のN型MOSトランジスタと、一端を入力端子に接続し他端を前記CMOS出力回路のP型MOSトランジスタのゲートに接続した第1の抵抗と、一端を入力端子に接続し他端を前記CMOS出力回路のN型MOSトランジスタのゲートに接続した第2の抵抗とで構成したことを特徴とする出力バッファ回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、貫通電流を低減し誤動作を防止するようにした論理回路の出力バッファ回路に関する。

【0002】

【従来の技術】従来、論理回路の出力バッファ回路は、図3に示すようにトランジスタサイズの小さいブリッパファとしてのインバータ101と、出力バッファとしてのインバータ102とを直列接続した回路で構成されている。そして各インバータ101、102は、図4に示すように、P型MOSトランジスタ111とN型MOSトランジスタ112の各ドレインを共通接続して出力端子114とし、前記P型MOSトランジスタ111のソースを電源 $V_{DD}$ に接続し、N型MOSトランジスタ112のソースをグラウンドに接続し、両トランジスタ111、112のゲートを共通接続した入力端子113に、回路への入力信号を直接入力するように構成されている。

【0003】

【発明が解決しようとする課題】ところで、前記図4に示した構成のインバータよりなる出力バッファ回路の場合、入力信号がHighからLow及びLowからHighにスイッチする際、入力電圧が $V_{THN}$ （N型MOSトランジスタの閾値電圧）から、 $V_{DD}-V_{THP}$ （P型MOSトランジスタの閾値電圧）の間では、P型MOSトランジスタとN型MOSトランジスタが同時にON状態となる。

【0004】このように従来の出力バッファ回路では、P型MOSトランジスタとN型MOSトランジスタが同時にONする状態が生じるため、電源からグラウンドへ貫通電流が流れ、駆動能力の大きい出力バッファ回路の場合には、電源-グラウンド間の電圧が瞬間的に落ち込み、グラウンドの電位が上昇して論理回路の回路閾値電圧が変

化するため、回路が誤動作を起こす場合があるという問題点があった。

【0005】この問題点を解決する手法としては、特開平1-284017号において図5に示すような構成の出力バッファ回路が提案されている。すなわちこの出力バッファ回路は、2入力NAND素子204と、2入力NOR素子205と、NOT素子203と、電源 $V_{DD}$ とグラウンド間に直列に接続されたP型MOSトランジスタ206とN型MOSトランジスタ207とを備え、NOR素子205の一方の入力端を接地レベルに固定し、NAND素子204の一方の入力端をNOT素子203により電源レベルに固定し、また入力端子201はNAND素子204及びNOR素子205の他方の入力端に接続し、出力端子202はP型MOSトランジスタ206とN型MOSトランジスタ207の接続点より導出するように構成されている。そしてこのように構成された出力バッファ回路は、2入力NAND素子204と2入力NOR素子205の論理閾値電圧に差があることから、P型MOSトランジスタ206のゲート電圧とN型MOSトランジスタ207のゲート電圧の変化に時間差を設け、P型MOSトランジスタ206とN型MOSトランジスタ207が同時にON状態になることを防止するものである。

【0006】しかしながら、この提案された出力バッファ回路においては、P型MOSトランジスタとN型MOSトランジスタが同時にOFFしている時間をあまり大きくできないし、また回路を構成するトランジスタ数が多くなり回路面積が大きくなってしまいう問題点がある。

【0007】本発明は、従来の出力バッファ回路における上記問題点を解消するためになされたもので、少ない素子数で貫通電流を低減し誤動作を防止できるようにした出力バッファ回路を提供することを目的とする。

【0008】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、第1のP型MOSトランジスタのドレインと第1のN型MOSトランジスタのドレインを共通接続して出力端子とし、前記P型MOSトランジスタのソースを電源に、前記N型MOSトランジスタのソースをグラウンドに接続したCMOS出力回路と、ドレインをグラウンドにゲートを入力端子にソースを前記CMOS出力回路のN型MOSトランジスタのゲートにバックゲートをソースにそれぞれ接続した第2のP型MOSトランジスタと、ドレインを電源にゲートを入力端子にソースを前記CMOS出力回路のP型MOSトランジスタのゲートにバックゲートをソースにそれぞれ接続した第2のN型MOSトランジスタと、一端を入力端子に接続し他端を前記CMOS出力回路のP型MOSトランジスタのゲートに接続した第1の抵抗と、一端を入力端子に接続し他端を前記CMOS出力回路のN型MOSトランジスタのゲートに接続した第2の抵抗とで出力バッ

ァ回路を構成するものである。

【0009】このように構成した出力バッファ回路においては、CMOS出力回路のP型MOSトランジスタのゲート入力信号の立ち下がりがゆっくりと行われ、またN型MOSトランジスタのゲート入力信号の立ち上がりもゆっくりと行われるので、両トランジスタがONになる時点が遅延し、両トランジスタが同時にONすることがなくなり、これにより貫通電流を低減させ誤動作を防止することができる。

【0010】

【実施例】次に実施例について説明する。図1は、本発明に係る出力バッファ回路の一実施例を示す回路構成図である。図において、1と3はN型MOSトランジスタで、2と4はP型MOSトランジスタである。N型MOSトランジスタ1とP型MOSトランジスタ2の各ドレインは共通に接続されて出力端子OUTとなっており、またP型MOSトランジスタ2のソースは電源V<sub>DD</sub>に、N型MOSトランジスタ1のソースはグランドに接続されていて、CMOS出力回路を構成している。N型MOSトランジスタ3のゲートは入力端子INに、ドレインは電源V<sub>DD</sub>に、ソースは前記CMOS出力回路のP型MOSトランジスタ2のゲートに、バックゲートはソースにそれぞれ接続されており、またP型MOSトランジスタ4のゲートは入力端子INに、ドレインはグランドに、ソースは前記CMOS出力回路のN型MOSトランジスタ1のゲートに、バックゲートはソースにそれぞれ接続されている。5、6は抵抗であり、抵抗5の一端は入力端子INに、他端は前記CMOS出力回路のP型MOSトランジスタ2のゲートにそれぞれ接続されており、抵抗6の一端は入力端子INに、他端は前記CMOS出力回路のN型MOSトランジスタ1のゲートにそれぞれ接続されている。

【0011】次にこのように構成した出力バッファ回路の動作を、図2に示した入力信号IN、CMOS出力回路のP型MOSトランジスタ2のゲート入力信号（ノードAにおける信号）及びN型MOSトランジスタ1のゲート入力信号（ノードBにおける信号）、出力信号OUTの各波形、並びにN型MOSトランジスタ1及びP型MOSトランジスタ2のON、OFF態様を参照しながら説明する。

【0012】まず第1に初期状態として、入力信号INがLowの場合には、ノードA、Bは共に抵抗5、6を通じてLowになっている。したがって、N型MOSトランジスタ3、P型MOSトランジスタ4及びN型MOSトランジスタ1はOFF状態であり、P型MOSトランジスタ2はON状態になっている。

【0013】次に入力信号INがLowからHighに変わる場合について説明する。入力信号INがHighになると、ノードAがLowであるのでN型MOSトランジスタ3はONし、ノードAの電位は急激に上昇する。ノードAの

電位が電源電圧よりN型MOSトランジスタ3の閾値電圧だけ低い電圧に達すると、N型MOSトランジスタ3はOFFし、ノードAは抵抗5を通じて電源電圧まで充電される。したがってCMOS出力回路のP型MOSトランジスタ2は急激にOFFする。また入力信号INがHighになる場合、P型MOSトランジスタ4はOFFのままであり、ノードBは抵抗6を通じて抵抗6とノードBに付随する容量によって決定される時定数により、ゆっくりと電源電圧まで充電される。したがってCMOS出力回路のN型MOSトランジスタ1は、入力信号INがHighになってから一定時間経過したのちにONする。

【0014】次に入力信号INがHighからLowに変わる場合について説明する。入力信号INがLowになると、ノードBがHighであるのでP型MOSトランジスタ4はONし、ノードBの電位は急激に下がる。ノードBの電位がグランド電圧よりP型MOSトランジスタ4の閾値電圧だけ高い電圧に達すると、P型MOSトランジスタ4はOFFし、ノードBは抵抗6を通じてグランド電圧まで放電される。したがってCMOS出力回路のN型MOSトランジスタ1は急激にOFFする。また入力信号INがLowになると、N型MOSトランジスタ3はOFFのままであり、ノードAは抵抗5を通じて抵抗5とノードAに付随する容量によって決定される時定数により、ゆっくりとグランド電圧まで放電される。したがってCMOS出力回路のP型MOSトランジスタ2は、入力信号INがLowになってから一定時間経過したのちにONする。

【0015】以上の説明からわかるように、この出力バッファ回路の場合、入力信号INが切り換わる際に、CMOS出力回路を構成しているN型MOSトランジスタ1及びP型MOSトランジスタ2が同時にONすることかないため、貫通電流が低減する。

【0016】なお本発明においては、論理としては反転セルとして動作するので、正転セルとして用いる場合は入力側にインバータを付加する必要がある。

【0017】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、CMOS出力回路を構成するP型MOSトランジスタ及びN型MOSトランジスタがONになる時点が遅延され、両トランジスタが同時にONすることがなくなり、貫通電流が低減し誤動作が防止される。

【図面の簡単な説明】

【図1】本発明に係る出力バッファ回路の一実施例を示す回路構成図である。

【図2】図1に示した実施例の動作を説明するためのタイミングチャートである。

【図3】従来の出力バッファ回路の構成例を示すブロック構成図である。

【図4】図3に示した出力バッファ回路を構成するインバータの構成を示す回路構成図である。

5

6

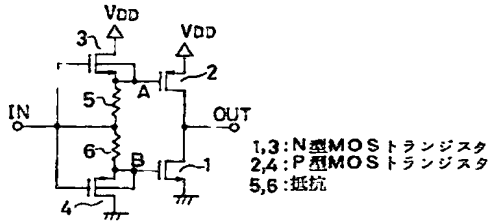
【図5】図3に示した出力バッファ回路の問題点を解決するため提案された従来の出力バッファ回路を示す回路構成図である。

【符号の説明】

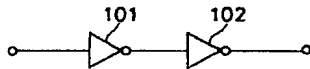
- \* 1, 3 N型MOSトランジスタ  
2, 4 P型MOSトランジスタ  
5, 6 抵抗

\*

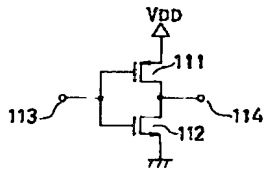
【図1】



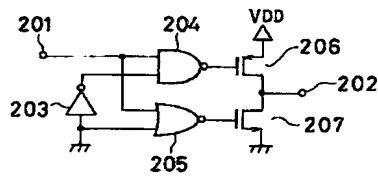
【図3】



【図4】



【図5】



【図2】

